

一种易于线性压缩的测试图形生成方法

曹磊, 雷绍充, 王震, 梁峰

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为解决 VLSI 测试中数据量大、功耗高和故障检测难等问题, 提出一种易于线性压缩的测试图形生成方法(LCG 法). 与传统方法不同, LCG 法先解析出一类每个向量内部具有线性关系的测试序列, 这种线性关系是基于单输入变化序列的, 构成的测试序列可有效地减少被测电路内部的开关活动. 测试生成时只需搜索测试向量少量的位值, 其他位的值按预定义的线性关系解析出, 再通过故障模拟的方法确认测试图形. 压缩后的测试图形为其少量位的内容, 具有压缩率高、易于实现、功耗低和覆盖率高的特点. 对 ISCAS89 中 5 个最大的基准电路的实验结果表明, LCG 法在固定故障覆盖率大于 96% 的情况下, 压缩率都在 10 倍以上, 甚至可以达到 100 倍以上.

关键词: 测试图形; 生成; 测试压缩; 低功耗

中图分类号: TN407; TP391.7 **文献标志码:** A **文章编号:** 0253-987X(2010)12-0076-06

An Easy Linear-Compression Test Pattern Generation Method

CAO Lei, LEI Shaochong, WANG Zhen, LIANG Feng

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: An easy linear-compression test pattern generation method (LCG) is proposed to solve the problems of data volume, power and fault detection in VLSI test. Unlike traditional test generation methods, LCG method extracts a class of test sequences with linear relationships existing in each vector. The linear relationships are based on single input change sequences, and the resulting test sequence can effectively reduce switching activities in a CUT (circuit under test). During test pattern generation, LCG method finds values only for a small portion of the bits of a test vector, and values for other bits of the test vector are assigned according to the predefined linear relationships. Test patterns are justified by fault simulations. The compressed test pattern consists of the small portion of the bits of the original pattern. Therefore, the proposed LCG method has features of high compression ratio, easy implementation, low power and high fault coverage. Experimental results on the five largest ISCAS89 benchmarks show that the LCG method achieves stuck-at fault coverage more than 96%, and test compression ratios over 10 times for all benchmarks, and even 100 times for some benchmarks.

Keywords: test pattern; generation; test compression; low power

集成电路的集成度、复杂程度和运行速度不断提高, 传统的故障模型和测试方法难以应付, 突出问题为: ① 测试数据量越来越大, 测试时间也越来越长, 测试成本越来越高^[1-2]; ② 被测电路(circuit under test, CUT)测试时平均功耗与峰值功耗比正常

工作时大得多, 对器件的可靠性和测试质量提出更高的要求^[1]; ③ CUT 中单元数目庞大, 测试复杂度和难度非常高^[1-3]; ④ CMOS 电路尺寸不断下降, 使得电路中缺陷和软错误剧增^[4]等. 这些问题极大地影响了测试质量、测试成本和测试效率, 因此低功耗

测试、测试压缩、内建自测试 (built-in-self-test, BIST) 成为研究和应用的热点,例如低转换次数伪随机测试图形生成器^[5-6]、静态或动态测试数据压缩^[7-8]等,但这些方法只是解决测试数据量、测试时间、测试功耗和测试硬件开销中的一、两个问题。近期出现了同时解决这些问题的方法,例如我国学者提出一种综合解决方法^[9],用双树扫描结构来寻找和排序测试图形,可有效减少测试功耗和测试数据量,但存在的问题是计算量大,故障覆盖率降低等。

本文提出一种易于线性压缩的自动测试图形生成方法(LCG)。与传统的 ATPG 方法不同,LCG 方法只需搜索测试向量少量的位值,其他位的值按单输入变化序列解析出,即先对测试图形按预定义的线性关系压缩,再通过故障模拟的方法确认测试图形,所生成的测试图形具有压缩率高、易于实现、功耗低和覆盖率高的特点。

1 极易压缩的低功耗测试序列的提取

假定经过全扫描设计的时序电路具有 m 个原始输入端口和 M 条扫描链,每条扫描链均包含 l 个扫描单元,则时刻 t 施加给第 i 条扫描链的测试向量可写成多项式

$$C_i(t, x) = \left(\sum_{j=1}^l M_i(j, t) x^{j-1} \right) x^{(i-1)l} \quad (1)$$

式中: $M_i(j, t)$ 为时刻 t 施加给第 i 条扫描链中第 j 个扫描单元的测试数据。再假定 m 位基于本原多项式的 LFSR (linear shift feedback register) 电路,在时刻 t 生成的 LFSR 向量 $S(t) = [S_0(t), S_1(t), \dots, S_{m-1}(t)]$, l 位 Johnson 计数器在时刻 t 生成 l 位 Johnson 向量 $J(t) = [J_0(t), J_1(t), \dots, J_{l-1}(t)]$ 。那么可由一个 Johnson 向量或其循环码与一位 LFSR 向量来构成式(1),则有

$$C_i(t, x) = \left\{ \sum_{j=1}^l S_i(t) x^{j-1} + J_i(t, x) \right\} x^{(i-1)l} \quad (2)$$

式中: $i \in (1, M)$; $J_i(t, x)$ 是 Johnson 向量的第 i 个循环码对应的多项式

$$\begin{aligned} J_1(t, x) &= J_0(t) + J_1(t)x + J_2(t)x^2 + \dots \\ &\quad + J_{l-2}(t)x^{l-2} + J_{l-1}(t)x^{l-1} \\ J_2(t, x) &= J_{l-1}(t) + J_0(t)x + J_1(t)x^2 + \dots \\ &\quad + J_{l-3}(t)x^{l-2} + J_{l-2}(t)x^{l-1} \\ &\quad \vdots \\ J_{l-1}(t, x) &= J_2(t) + J_3(t)x + J_4(t)x^2 + \dots \\ &\quad + J_0(t)x^{l-2} + J_1(t)x^{l-1} \\ J_l(t, x) &= J_1(t) + J_2(t)x + J_3(t)x^2 + \dots + \\ &\quad J_{l-1}(t)x^{l-2} + J_0(t)x^{l-1} \end{aligned} \quad (3)$$

时刻 t 施加给被测电路组合部分的测试向量可表示为

$$X(t, x) = \sum_{j=1}^m S_{j-1}(t) x^{j-1} + \sum_{i=1}^M \left\{ \sum_{j=1}^l S_i(t) x^{j-1} + J_i(t, x) \right\} x^{(i-1)l} \quad (4)$$

定理 1 序列 $X(t, x)$ 的周期为 $2l(2^m - 1)$ 。

证明 时刻 r 施加给被测电路组合部分的测试向量可表示为

$$X(r, x) = \sum_{j=1}^m S_{j-1}(r) x^{j-1} + \sum_{i=1}^M \left\{ \sum_{j=1}^l S_i(r) x^{j-1} + J_i(r, x) \right\} x^{(i-1)l}$$

由于 l 位 Johnson 序列的周期为 $2l$, 因此可以定义

$$\left. \begin{aligned} \text{ent } p(t) &= t/2l \\ q(t) &= t - 2lp(t) \\ \text{ent } p(r) &= r/2l \\ q(r) &= r - 2lp(r) \end{aligned} \right\} \quad (5)$$

$$X(t, x) + X(r, x) =$$

$$\begin{aligned} &\sum_{j=1}^m (S_{j-1}(t) + S_{j-1}(r)) x^{j-1} + \\ &\sum_{i=1}^M \{ J_{q(t)}(i, x) + J_{q(r)}(i, x) \} x^{(i-1)l} + \\ &\sum_{i=1}^M \left\{ \sum_{j=1}^l (S_{j-1}(p(t)) + S_{j-1}(p(r))) x^{j-1} \right\} x^{(i-1)l} \end{aligned} \quad (6)$$

如果 $|p(t) - p(r)| \geq 1$, 那么 $p(t)$ 与 $p(r)$ 对应不同的 LFSR 向量, 因此有

$$\sum_{i=1}^M \left\{ \sum_{j=1}^l (S_{j-1}(p(t)) + S_{j-1}(p(r))) x^{j-1} \right\} x^{(i-1)l} \neq 0 \quad (7)$$

如果 $p(t) - p(r) = 0$, 则式(6)可简化为

$$X(t, x) + X(r, x) =$$

$$\begin{aligned} &\sum_{j=1}^m (S_{j-1}(t) + S_{j-1}(r)) x^{j-1} + \\ &\sum_{i=1}^M \{ J_{q(t)}(i, x) + J_{q(r)}(i, x) \} x^{(i-1)l} \end{aligned} \quad (8)$$

由于 l 位 Johnson 计数器能够连续产生互不相同的 $2l$ 个 Johnson 向量, 因此对于不同的 $q(t)$ 与 $q(r)$, 式(8)不为 0, 式(6)也就不为 0。

结合式(6)与式(7)可知, 对于一个最大长度的 LFSR 序列, 式(6)不为 0, 而 l 位 Johnson 序列和 m 位 LFSR 序列的周期分别为 $2l$ 和 $2^m - 1$, 因此定理 1 定义的序列的周期为 $2l(2^m - 1)$ 。

2 测试序列特性分析

应用定理 1 可提取出一类足够长、具有线性关系及转换次数低的测试序列,图 1 给出了序列中测试向量的典型形式.对于种子 $S_0S_1\cdots S_{l-1}$,可以看出每条扫描链中 $\overline{S_0}$ 与 S_0 的数目是一样的.如果测试向量数目 L 是 $2l$ 的整数倍,则每条扫描链中 1 和 0 的个数也应是一样的.如果测试向量数目不是 $2l$ 的整数倍,根据定理 1 的证明过程,有

$$\left. \begin{aligned} \text{ent}p(L) &= L/2l \\ L &= q(L) + 2lp(L) \end{aligned} \right\} \quad (9)$$

那么一条扫描单元中 0 或 1 出现的概率为

$$P(i) = \frac{p(L)l + q(L)}{L} \leq \frac{p(L)l + l}{2p(L)l} = 0.5 + \frac{1}{2p(L)} \quad (10)$$

式中: $i \in (0, 1)$. 对于 5 个最大的 ISCAS89 基准电路,测试向量数 L 大于 8 000,而 $l = 20$,则 $p(L) > 200$,式 (10) 的值与 0.5 的偏差小于 0.002 5,因此 LCG 法产生的序列施加到每条扫描链中的 0 和 1 近乎均匀分布.对于扫描链为 20 条、测试向量数为 9 974 的 ISCAS89 s13207 电路而言,图 2 给出了 638 个扫描单元中 1 的分布曲线,可以看出其数量均在 4 730 与 5 194 之间,1 出现的概率值与 0.5 的差值小于 0.026.对于 5 个最大的 ISCAS89 基准电路,计算结果表明每个扫描单元中 1 出现的概率在 0.465 与 0.535 之间.因此,LCG 法提取的测试序列中 0 和 1 具有比较好的均匀性.

传统测试方法的故障覆盖率不仅与测试图形数目有关系,而且受初始向量的影响很大.图 3 为初始向量对 s13207 覆盖率的影响.可以看出,对于同样

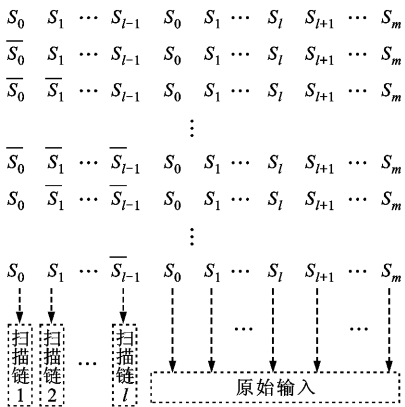


图 1 测试图形形式

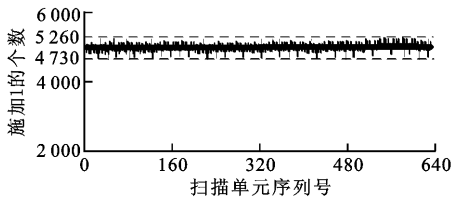


图 2 施加给 s13207 扫描单元的 1 的个数统计

的测试图形数目,伪随机方法的初始向量对覆盖率影响相当大,例如测试图形数目为 2 048 时,采用最好初始向量的伪随机序列的故障覆盖率(最好情况, LFSR)比采用最差初始向量的伪随机序列的故障覆盖率大 20% 多.然而,不同的初始向量对 LCG 法生成的测试序列的影响不大,例如测试图形数目为 2 048 时,最好情况和最坏情况的差值不大于 2%.对 5 个最大的 ISCAS89 基准电路的故障模拟结果也相同.这种故障覆盖率与初始向量相关性很小的特性有助于 ATPG 方法和解压电路的实现.本文后面实验中所有的种子电路的初始值均为全 1,覆盖率接近传统伪随机方法最优的故障覆盖率.

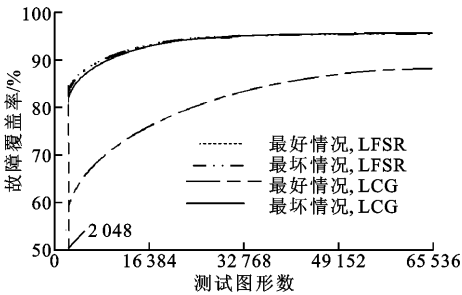


图 3 故障覆盖率与初始向量的关系

在扫描测试(test-per-scan)中,LCG 法把 SIC 序列转换成低转换次数序列.图 4 给出了典型序列的例子,其中 4 位 SIC 序列扫描输入时每条扫描链的转换密度不大于 $2/4$.一般而言, l 位 SIC 序列扫描输入时,每条扫描链的转换密度不大于 $2/l$,而且原始输入在扫描输入和扫描输出时都保持不变,这两方面因素都降低了组合部分内部的转换活动,从而降低了组合部分的测试功耗,因而也降低了伪输入节点的开关活动,有助于降低捕获过程和扫描输出过程中的开关活动.

对于相同的测试图形数目,表 1 比较了所提取序列与伪随机序列的测试功耗.可以看出,相对于伪随机序列方法,采用 LCG 方法所测的 4 个电路的固定故障覆盖率要高,平均功耗减少了 28%~53%,而峰值功耗减少了 5%~43%.

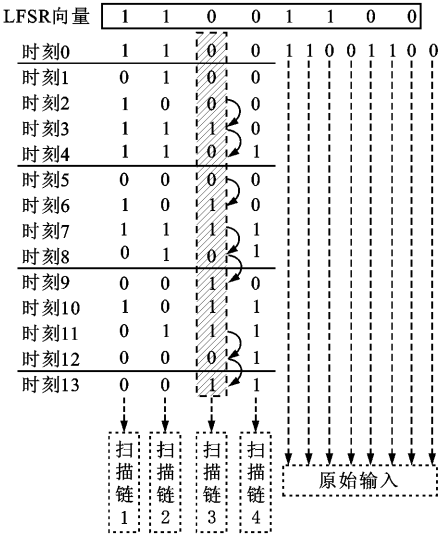


图 4 测试图形举例

3 ATPG 及压缩算法

根据定理 1,本文所提出的 LCG 算法的流程如图 5 所示.图 5 中步骤 1~步骤 7 是根据定理 1 生成测试序列,序列中每一个测试向量是由伪随机序列和 Johnson 序列按位异或而成的,每一个 Johnson 序列循环完后,LFSR 序列改变一次值.图 5 中步骤 8 是判断所确定的测试图形集合 U 是否到达故障覆盖率要求,如达到则得到未压缩的测试图形集合 U .

对于图 5 确定的测试图形集合 U ,每个测试图形只需保留 $p(t)$ 对应的 LFSR 向量和 $q(t)$ 对应的 Johnson 向量,即可得到第一次压缩的测试图形集 V ,即图 5 中的步骤 10 和步骤 11.

进一步分析表明,一些测试图形的 LFSR 值是相同的,只需存储一个 LFSR 值和相同的测试图形个数即可. l 位的 Johnson 序列只有 $2l$ 个向量,且每个向量是由一串连续的 0 和一串连续的 1 组成,因此一个 l 位 Johnson 向量可由一个 $(lb/2l+1)$ 位二进制数表示,该二进制数的最左边位表示 Johnson 向量的最左边位的值,后边的位表示与最左边位值

相同的位的个数.这样可得到第二次压缩的测试图形集 W ,即图 5 中的步骤 12.

假设测试图形集中有 N 个测试图形,其中有 n 个互不相同的 m 位 LFSR 向量($n \leq N$),且相同的数目不大于 k ,再假定被测电路中的扫描单元数为 N_{PPI} ,则测试图形的压缩率可表示为

压缩率 = $\frac{N(m + N_{PPI})}{n(lbk + 1) + N(lbl + 1)}$ (11)

以 ISCAS89 基准电路 s13207 为例,按 LCG 法解析得到的测试图形序列含 78 832 个测试向量,通过 Synopsys 公司的 Tetramax 软件对测试图形进行故障模拟,可以确认出其中对故障覆盖率有贡献的 428 个确定型测试图形,进一步分析这 428 个测试图形对应的 LFSR 向量,其中只有 225 个互不相同.电路 s13207 的原始输入数为 62,触发器数为 638,那么压缩前测试图形的数据量为 $428 \times (62 + 638) = 299\ 600$

采用图 5 算法得到的测试图形由 Johnson 向量和 LFSR 向量两部分组成.电路的原始输入数为 62,LFSR 向量应取 62 位,扫描链数目为 20,则相应的 Johnson 向量应取 32 位,可由一个 6 位二进制数来表示,该二进制数的最左边位表示 Johnson 向量的最左边的位,后边的位表示与最左边位值相同的位的个数.例如 Johnson 向量 11111111110000000000000000000000 可以用 101010 来表示,其中左边的 1 表示 Johnson 向量的最左边的位为 1,01010 表示与最左边位值相同的位的个数,即共有 10 个 1.对于 428 个 62 位 LFSR 向量,可用 225 个 $(2+62)$ 位二进制数表示,每个二进制数的最左边两位表示一个 LFSR 向量对应的不同的测试图形个数(分析表明此数不大于 4,因此可用两位二进制数表示),随后的 62 位表示 62 位 LFSR 向量.LCG 法得到的压缩后测试图形的存储量为

$225 \times (62 + 2) + 428 \times 7 = 17\ 396$

其压缩率为 $299\ 600 / 17\ 396 \approx 17.2$

表 1 测试功耗比较

ISCAS89 基准电路	测试 向量数	Johnson 位/b	LFSR 位/b	平均功耗/mW		峰值功耗/mW	
				LCG 方法	伪随机方法	LCG 方法	伪随机方法
s13207	35 808	32	62	9.747	13.53	108.98	163.30
s15850	96 640	27	77	8.511	12.26	103.50	143.70
s38417	116 893	82	28	19.377	40.82	222.12	393.0
s35932	93 921	87	35	16.123	32.82	353.04	373.0
s38584	87 397	72	38	24.716	38.94	324.70	403.4

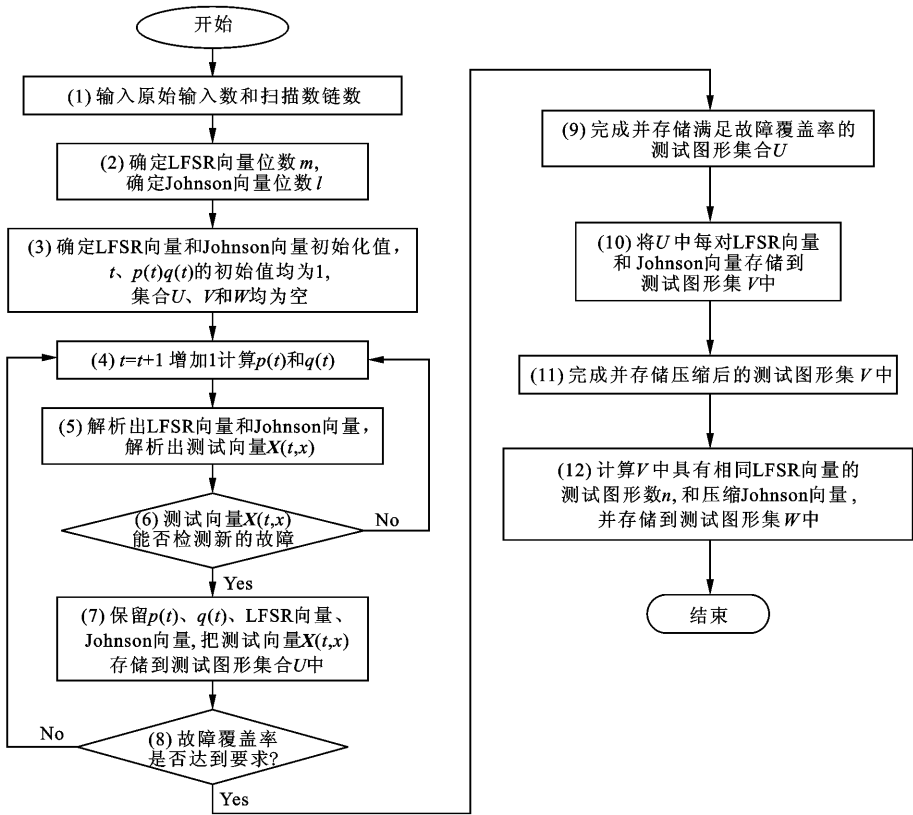


图5 LGC算法流程图

对于压缩后的测试图形,测试施加时应采用解
压电路将其复原,这种解压电路是根据定理1的关系
设计,并采用本文的再压缩方法得来的,容易实现.

4 实验结果及分析

实验以 ISCAS89 基准电路为对象,使用 Syn-
opsys Design Analyzer 、Prime power 和 modelsim
进行仿真验证,过程中的一些文件处理用 C++ 完
成,故障模拟用 Synopsys Tetramax 完成,综合优化
使用 SMIC 0.18 μm 工艺,测试频率为 100 MHz,测
试电压为 1.8 V.

表2比较了 LCG、伪随机以及文献[1] 方法的
固定故障覆盖率,扫描链个数均为 20. 对于最大规
模的 5 个 ISCAS89 基准电路,在相同的测试图形数
目下,LCG 法的固定型故障覆盖率大于或近似于伪
随机方法;相较于文献[1]的方法,LCG 法有较高的
固定故障覆盖率,测试图形数目少.

表3给出了 ISCAS89 基准中 5 个最大电路的
压缩率分析. 可以看出,LCG 法的压缩率均大于文
献[9-11]的方法,特别是对于 s38417 和 s35392 电
路,压缩率分别达到了 111.8 和 165.0,远远大于文
献[9-11]的方法.

表2 几种测试方法的故障覆盖率比较

ISCAS89 基准电路	原始输 入位/b	Johnson 位/b	固定故障覆盖率/%			测试图形数/个		
			LCG 方法	伪随机方法	文献[1]方法	LCG 方法	伪随机方法	文献[1]方法
s13207	62	32	98.08	92.65	97.7	35 808	77 696	77 696
s15850	77	27	96.68	94.45	98.8	96 640	96 640	96 640
s38417	28	82	97.50	92.51	97.5	116 893	115 882	115 882
s35932	35	87	99.97			93 921	93 189	
s38584	38	72	99.39	96.53	99.3	87 397	79 172	79 712

表 3 几种方法的测试图形压缩率比较

ISCAS89 基准电路	原始输入数 +触发器数	固定故障 覆盖率/%	测试图形 总数	不同的 种子数	压缩率			
					LCG 方法	文献[9]方法	文献[10]方法	文献[11]方法
s13207	62+638	98.08	428	225	17.2	10.88	13.69	4.28
s15850	77+534	96.68	486	267	11.2	9.46	4.85	4.56
s38417	28+1 636	97.50	986	259	111.8	25.86	4.37	13.26
s35932	35+1 728	99.97	274	21	165.0	41.85		
s38584	38+1 426	99.39	727	434	47.4	22.86	5.56	4.96

5 结 论

本文提出一种低功耗易压缩的测试图形生成 LCG 方法. 该方法先建立一套测试数据表达方法, 证明和提取出一种转换次数低、不具有重复向量、具有线性关系的测试序列, 并分析其特性, 在此基础上发展出的一种方法. 采用 LCG 法生成的测试图形具有故障覆盖率高、测试功耗低和易压缩的特点. 对 ISCAS89 基准电路的实验结果表明, 测试图形的压缩率都在 10 倍以上, 甚至可以达到 100 倍以上. 本文方法经过完善理论和实验条件, 可进一步压缩测试数据和降低功耗, 有很高的工程应用前景.

参考文献:

[1] KATTI R S, RUAN Xiaoyu, KHATTTRI H. Multiple-output low-power linear feedback shift register design [J]. IEEE Transactions on Circuits and Systems; I, 2006, 53 (7):1487-1495.

[2] WANG Laung-Terng, WEN Xiaoqing, WU Shianling, et al. VirtualScan: test compression technology using combinational logic and one-pass ATPG [J]. IEEE Design & Test of Computers, 2008, 25(2):122-130.

[3] MOORE B, MANGRUM M, SELLATHAMBY C, et al. Non-contact testing for SoC and RCP (SIPs) at advanced nodes[C]// Proceedings of International Test Conference 2008. Piscataway, NJ, USA: IEEE, 2008:1-10.

[4] MAHAMMAD S N, VEEZHINATHAN K. Constructing online testable circuits using reversible logic [J]. IEEE Transactions on Instrumentation and Measurement, 2010,59(1): 101-109.

[5] NOURANI M, TEHRANIPOOR M, AHMED N.

Low-transition test pattern generation for BIST-based applications [J]. IEEE Transactions on Computers, 2008, (3)57:303-315.

[6] WANG Seongmoon, GUPTA S K. DS-LFSR: a new BIST TPG for low heat dissipation [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 2002, 21(7):842-851.

[7] EL-MALEH A, OSAISA Y. Test vector decomposition-based static compaction algorithms for combinational circuits [J]. ACM Transactions on Design Automation of Electronic Systems, 2003, 8 (4): 430-459.

[8] AYARI B, KAMINSKA B. A new dynamic test vector compaction for automatic test pattern generation [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1994, 13 (3):353-358.

[9] CHEN Zhen, SETH S, XIANG Dong, et al. A unified solution to scan test volume, time, and power minimization[C]// Proceedings of 23rd International Conference on VLSI Design. Piscataway, NJ, USA: IEEE, 2010:9-14.

[10] STELIOS N N, MARIA K M. Test set generation with a large number of unspecified bits using static and dynamic techniques [J]. IEEE Transactions on Computers, 2010, 59(3):301-316.

[11] LI Lei, CHAKRABARTY K. Test set embedding for deterministic BIST using a reconfigurable interconnection network [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23 (9): 1289-1305.

(编辑 刘杨)